

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-203688

(43)Date of publication of application : 04.08.1995

(51)Int.CI.

H02M 7/5387
 H02M 1/08
 H02M 3/28
 H02M 7/48
 H02M 7/538

(21)Application number : 05-350148

(71)Applicant : SANKEN ELECTRIC CO LTD

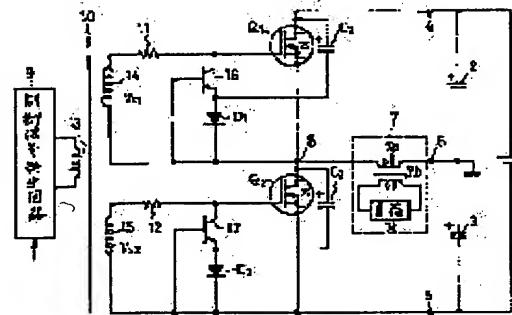
(22)Date of filing : 30.12.1993

(72)Inventor : MORITA KOICHI
ASO SHINJI

(54) CIRCUIT DEVICE WITH SWITCHING ELEMENT

(57)Abstract:

PURPOSE: To realize zero volt switching of a switching element positively through a simple circuit.
 CONSTITUTION: Switching elements Q1, Q2 in a half-bridge type inverter are connected in parallel with capacitors C1, C2 for zero volt switching through diodes D1, D2. Transistors 16, 17 are connected, respectively, between the gates of the switching elements Q1, Q2 and the diodes D1, D2. The base of the transistor 16 is connected with a joint 8. The base of the transistor 17 is connected with the negative power supply terminal 5. When the discharging current from the capacitors C1, C2 flows into the bases of the transistors 16, 17, the transistors 16, 17 are turned ON thus blocking turn ON of the switching elements Q1, Q2.



LEGAL STATUS

[Date of request for examination] 05.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3379556

[Date of registration] 13.12.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-203688

(43) 公開日 平成7年(1995)8月4日

(51) Int.Cl.⁶
H 02 M 7/5387
1/08
3/28
7/48

識別記号 庁内整理番号
9181-5H
3 3 1 Z
Q
R
A 9181-5H

F I

技術表示箇所

審査請求 未請求 請求項の数13 FD (全 19 頁) 最終頁に続く

(21) 出願番号 特願平5-350148

(22) 出願日 平成5年(1993)12月30日

(71)出願人 000106276

サンケン電気株式会社

埼玉県新座市北野3丁目6番3号

(72)発明者 森田 浩一

埼玉県新座市北野三丁目6番3号 サンケン電気株式会社内

(72)発明者 麻生 真司

埼玉県新座市北野三丁目6番3号 サンケン重機株式会社内

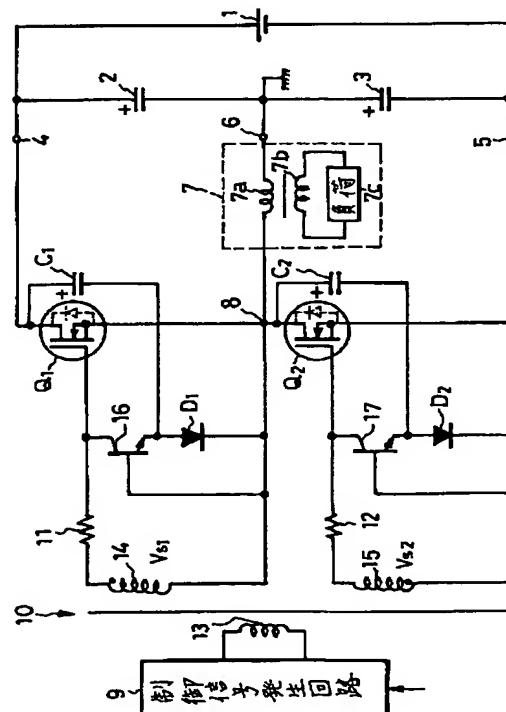
(74) 代理人 弁理士 高野 則次

(54) 【発明の名称】 スイッチング素子を有する回路装置

(57) 【要約】

【目的】スイッチング素子のゼロボルトスイッチングを簡単な回路で確実に達成する。

【構成】 ハーフプリッジ型インバータのスイッチング素子Q1、Q2にダイオードD1、D2を介してゼロボルトスイッチング用のコンデンサC1、C2を並列接続する。スイッチング素子Q1、Q2のゲートとダイオードD1、D2の間にトランジスタ16、17をそれぞれ接続する。トランジスタ16のベースは接続中点8に接続する。トランジスタ17のベースは負の電源端子5に接続する。コンデンサC1、C2の放電電流がトランジスタ16、17のベースに流れている時にはトランジスタ16、17がオンになり、スイッチング素子Q1、Q2のオンを阻止する。



【特許請求の範囲】

【請求項1】 直流電源から供給された直流電圧をオン・オフするためのスイッチング素子を有する回路装置において、

充電電流を流すことができる方向性を有するダイオード又はp-n接合を介して前記スイッチング素子に並列に接続されたゼロボルトスイッチング用のコンデンサと、前記スイッチング素子を通らないで前記電源又は電源用コンデンサを通るように前記コンデンサの放電経路を形成すると共に前記コンデンサの放電電流が前記放電経路に流れている時に前記スイッチング素子のオン動作を阻止する手段とを備えていることを特徴とする回路装置。

【請求項2】 直流電源に接続されたスイッチング素子をオン・オフして直流を交流に変換するハーフブリッジ型又は変形ハーフブリッジ型又はフルブリッジ型インバータ回路装置において、

前記スイッチング素子に1つ又は複数のダイオード及び/又はp-n接合を介して並列に接続されたコンデンサ(C1又はC)と、

前記スイッチング素子の制御端子にオン駆動信号が入力することを阻止するオン阻止手段とが設けられ、前記コンデンサを流れる電流に基づいて前記オン阻止手段を動作させるように構成されていることを特徴とするインバータ回路装置。

【請求項3】 第1及び第2の直流電源(2、3)と第1及び第2のスイッチング素子(Q1、Q2)を有し、前記第1の電源(2)の一端が前記第1のスイッチング素子(Q1)の一端に接続され、前記第1の電源(2)の他端が前記第2の電源(3)の一端に接続され、前記第1のスイッチング素子(Q1)の他端が前記第2のスイッチング素子(Q2)の一端に接続され、前記第2の電源(3)の他端が前記第2のスイッチング素子(Q2)の他端に接続され、前記第1及び第2の電源(2、3)の接続中点と前記第1及び第2のスイッチング素子(Q1、Q2)の接続中点(8)との間に負荷回路

(7)が接続され、前記第1及び第2のスイッチング素子(Q1、Q2)の制御端子に前記第1及び第2のスイッチング素子(Q1、Q2)を交互にオン・オフするための第1及び第2の駆動信号供給回路(14、15)が接続されたインバータ回路装置において、

前記第1のスイッチング素子(Q1)に対してコンデンサ充電用ダイオード(D1)又はp-n接合を介して並列に接続されたコンデンサ(C1)と、

前記第1の電源(2)と前記負荷回路(7)とを通る前記コンデンサ(C1)の放電回路を形成すると共に前記コンデンサ(C1)の放電電流が流れている時に前記第1のスイッチング素子(Q1)のオンを阻止する手段(16又はD3、D5)とを備えていることを特徴とするインバータ回路装置。

【請求項4】 第1及び第2の直流電源(2、3)と第

1及び第2のスイッチング素子(Q1、Q2)を有し、前記第1の電源(2)の一端が前記第1のスイッチング素子(Q1)の一端に接続され、前記第1の電源(2)の他端が前記第2の電源(3)の一端に接続され、前記第1のスイッチング素子(Q1)の他端が前記第2のスイッチング素子(Q2)の一端に接続され、前記第2の電源(3)の他端が前記第2のスイッチング素子(Q2)の他端に接続され、前記第1及び第2の電源(2、3)の接続中点と前記第1及び第2のスイッチング素子(Q1、Q2)の接続中点(8)との間に負荷回路

(7)が接続され、前記第1及び第2のスイッチング素子(Q1、Q2)の制御端子に前記第1及び第2のスイッチング素子(Q1、Q2)を交互にオン・オフするための第1及び第2の駆動信号供給回路(14、15)が接続されたインバータ回路装置において、

前記第1のスイッチング素子(Q1)に対してコンデンサ放電用ダイオード(D5)を介して並列に接続されたコンデンサ(C1)と、

前記コンデンサ(C1)の充電回路を形成すると共に前記コンデンサ(C1)の充電電流が流れている時に前記第1のスイッチング素子(Q1)のオンを阻止する手段(20、21)とを備えていることを特徴とするインバータ回路装置。

【請求項5】 少なくとも第1及び第2のスイッチング素子(Q1、Q2)を含み、前記第1及び第2のスイッチング素子(Q1、Q2)を交互にオン・オフすることによって直流を交流に変換するハーフブリッジ、又は変形ハーフブリッジ、又はフルブリッジ型インバータ回路装置において、

前記第1のスイッチング素子(Q1)の制御端子に供給するための駆動信号をバイパスさせて前記第1のスイッチング素子(Q1)のオンを阻止する第1のオン阻止手段(16、D1又はD1、D3、D5)と、

前記第2のスイッチング素子(Q2)の制御端子に供給するための駆動信号をバイパスさせて前記第2のスイッチング素子(Q2)のオンを阻止する第2のオン阻止手段(17、D2又はD2、D4、D6)と、

前記第1及び第2のオン阻止手段の一部を介して前記第2のスイッチング素子(Q2)に対して並列に接続されたコンデンサ(C)とを備え、前記コンデンサ(C)の充放電によって前記第1及び第2の阻止手段が交互にオン阻止状態になるように構成されていることを特徴とするインバータ回路装置。

【請求項6】 第1及び第2の直流電源(2、3)と第1及び第2のスイッチング素子(Q1、Q2)を有し、前記第1の電源(2)の一端が前記第1のスイッチング素子(Q1)の一端に接続され、前記第1の電源(2)の他端が前記第2の電源(3)の一端に接続され、前記第1のスイッチング素子(Q1)の他端が前記第2のスイッチング素子(Q2)の一端に接続され、前記第2の

電源 (3) の他端が前記第 2 のスイッチング素子 (Q2) の他端に接続され、前記第 1 及び第 2 の電源 (2、3) の接続中点と前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) の接続中点 (8) との間に負荷回路 (7) が接続され、前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) の制御端子に前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) を交互にオン・オフするための第 1 及び第 2 の駆動信号供給回路 (14、15) が接続されたインバータ回路装置において、

前記第 1 のスイッチング素子 (Q1) の制御端子と前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) の接続中点 (8) との間に接続された第 1 のトランジスタ (16) と第 1 のダイオード (D1) との直列回路と、前記第 2 のスイッチング素子 (Q2) の制御端子と前記第 2 の電源 (3) の他端との間に接続された第 2 のトランジスタ (17) と第 2 のダイオード (D2) との直列回路と、

前記第 1 のトランジスタ (16) と前記第 1 のダイオード (D1) との接続点と前記第 2 のトランジスタ (17) と前記第 2 のダイオード (D2) との接続点との間に接続されたコンデンサ (C) とを備え、前記第 1 のトランジスタ (16) のベースが前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) の接続中点 (8) に接続され、前記第 2 のトランジスタ (17) のベースが前記第 2 の電源 (3) の他端に接続されていることを特徴とするインバータ回路装置。

【請求項 7】 第 1 及び第 2 の直流電源 (2、3) と第 1 及び第 2 のスイッチング素子 (Q1、Q2) を有し、前記第 1 の電源 (2) の一端が前記第 1 のスイッチング素子 (Q1) の一端に接続され、前記第 1 の電源 (2) の他端が前記第 2 の電源 (3) の一端に接続され、前記第 1 のスイッチング素子 (Q1) の他端が前記第 2 のスイッチング素子 (Q2) の一端に接続され、前記第 2 の電源 (3) の他端が前記第 2 のスイッチング素子 (Q2) の他端に接続され、前記第 1 及び第 2 の電源 (2、3) の接続中点と前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) の接続中点 (8) との間に負荷回路 (7) が接続され、前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) の制御端子に前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) を交互にオン・オフするための第 1 及び第 2 の駆動信号供給回路 (14、15) が接続されたインバータ回路装置において、

前記第 1 及び第 2 のスイッチング素子 (Q1、Q2) の接続中点 (8) と前記第 2 の電源 (3) の他端との間に第 1 の方向性を有する第 1 のダイオード (D1) とコンデンサ (C) と前記第 1 の方向と反対の第 2 の方向性を有する第 2 のダイオード (D2) との直列回路が接続され、

前記第 1 のスイッチング素子 (Q1) の制御端子と前記第 1 のダイオード (D1) との間に第 3 のダイオード

(D3) が接続され、前記第 2 のスイッチング素子 (Q2) の制御端子と前記第 2 のダイオード (D2) との間に第 4 のダイオード (D4) が接続され、前記第 1 及び第 3 のダイオード (D1、D3) は前記第 1 のスイッチング素子 (Q1) の制御端子と前記接続中点 (8) との間において互いに直列に接続されていると共に前記第 1 のスイッチング素子 (Q1) の駆動信号によって導通する方向性を有しており、

前記第 1 及び第 3 のダイオード (D1、D3) の直列回路又は第 1 のダイオード (D1) に対して逆並列に第 5 のダイオード (D5) が接続され、前記第 2 及び第 4 のダイオード (D2、D4) は前記第 2 のスイッチング素子 (Q2) の制御端子と前記第 2 の電源 (3) の他端との間において互いに直列に接続されていると共に前記第 2 のスイッチング素子 (Q2) の駆動信号によって導通する方向性を有しており、前記第 2 及び第 4 のダイオード (D2、D4) の直列回路又は前記第 2 のダイオード (D2) に対して逆並列に第 6 のダイオード (D6) が接続されていることを特徴とするインバータ回路装置。

【請求項 8】 直流電源 (40) と、前記直流電源 (40) の一端と他端との間にトランス (43) の 1 次巻線 (44) を介して接続されたスイッチング素子 (45) と、

前記スイッチング素子 (45) の制御端子にオン・オフ駆動信号を供給する駆動回路と、前記駆動信号によって前記スイッチング素子をオンにすることを阻止するオン阻止手段 (56、57、58、又は 56、57、61) と、

前記オン阻止手段の一部 (56) を介して前記スイッチング素子 (45) に並列に接続されたコンデンサ (55) とを有し、前記コンデンサ (C) の充電又は放電によって前記オン阻止手段をオン阻止状態にするように構成されていることを特徴とする電力変換回路装置。

【請求項 9】 直流電源 (40) と、前記直流電源 (40) の一端と他端との間にトランス (43) の 1 次巻線 (44) を介して接続されたスイッチング素子 (45) と、

前記スイッチング素子 (45) の制御端子にオン・オフ駆動信号を供給する駆動回路 (51、52、60 又は 60a) と、

前記トランス (43) の出力巻線 (46) と、前記スイッチング素子 (45) の一端に接続されたコンデンサ (55) と、

前記コンデンサ (55) と前記スイッチング素子 (45) の他端との間に接続されたダイオード (56) と、前記スイッチング素子 (45) の制御端子と前記スイッチング素子 (45) の他端との間に接続された第 1 のトランジスタ (57) と、

コレクタが前記第 1 のトランジスタ (57) のベースに

接続され、エミッタが前記コンデンサ(55)と前記ダイオード(56)との接続点に接続され、ベースが前記電源(40)の他端に接続された第2のトランジスタ(58)とを備えていることを特徴とする電力変換回路装置。

【請求項10】 直流電源(40)と、前記直流電源(40)の一端と他端との間にトランス(43)の1次巻線(44)を介して接続されたスイッチング素子(45)と、前記スイッチング素子(45)の制御端子にオン・オフ駆動信号を供給する駆動回路と、前記トランス(43)の出力巻線(46)と、前記スイッチング素子(45)の一端に接続されたコンデンサ(55)と、前記コンデンサ(55)と前記スイッチング素子(45)の他端との間に接続されたダイオード(56)と、前記スイッチング素子(45)の制御端子と前記第1のダイオード(56)との間に接続された第2のダイオード(61)とを備え、前記駆動回路は前記コンデンサ(55)の放電電流の経路となるように前記スイッチング素子(45)の制御端子と前記電源(40)の他端との間に接続され、前記第1のダイオード(56)は前記コンデンサ(55)の充電電流を流すことができる方向性を有していることを特徴とする電力変換回路装置。

【請求項11】 請求項7において前記コンデンサ(55)の放電電流を前記駆動回路を通して流す代りに、前記第1及び第2のダイオード(56、61)の直列回路又は前記第1のダイオード(56)に逆並列接続された第3のダイオード(64)を介して流すように構成したことを特徴とする電力変換回路装置。

【請求項12】 直流電源(1)と第1及び第2のスイッチング素子(Q1、Q2)と出力トランス(70)とを有し、前記トランス(70)の1次巻線(71)のセンタタップに前記電源(1)の一端が接続され、前記1次巻線(71)の一端と前記電源(1)の他端との間に前記第1のスイッチング素子(Q1)が接続され、前記1次巻線(71)の他端と前記電源(1)の他端との間に前記第2のスイッチング素子(Q2)が接続され、前記第1及び第2のスイッチング素子(Q1、Q2)の制御端子に前記第1及び第2のスイッチング素子(Q1、Q2)を交互にオン・オフするための第1及び第2の駆動信号供給回路(14、15)が接続されたインバータ回路において、

前記第1のスイッチング素子(Q1)に対してコンデンサ充電用ダイオード(D1)又はp-n接合を介して並列に接続されたコンデンサ(C1)と、

前記1次巻線(71)の一端とセンタタップとの間の部分と前記電源(1)とを通る前記コンデンサ(C1)の共振放電回路を形成すると共に前記コンデンサ(C1)の放電電流が流れている時に前記第1のスイッチング素

子(Q1)のオンを阻止する手段(16又はD3、D5)とを備えていることを特徴とするインバータ回路装置。

【請求項13】 直流電源の一端と他端との間に少なくとも第1のスイッチング素子(Q1)と第2のスイッチング素子(Q2)との直列回路が接続され、前記第1及び第2のスイッチング素子(Q1、Q2)を交互にオン・オフすることによって直流を交流に変換するように構成されたハーフブリッジ型、又は変形ハーフブリッジ型、又はフルブリッジ型インバータ回路装置において、前記第1及び第2のスイッチング素子(Q1、Q2)は互いに反対の導電形式又は極性の半導体スイッチング素子から成り、

前記第1及び第2のスイッチング素子(Q1、Q2)を交互にオン・オフするための共通の制御端子(13a)が設けられ、

前記第1及び第2のスイッチング素子(Q1、Q2)の制御端子の相互間にNPN型トランジスタ(16)とPNP型トランジスタ(17)との直列回路が接続され、前記NPN型トランジスタ(16)と前記PNP型トランジスタ(17)との相互接続点と前記第1のスイッチング素子(Q1)の一端との間にコンデンサ(C)が接続され、

前記NPN型トランジスタ(16)のベースと前記PNP型トランジスタ(17)のベースとが前記第1及び第2のスイッチング素子(Q1、Q2)の接続中点(8)に接続されていることを特徴とするインバータ回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、インバータ、DC-DCコンバータ等のスイッチング素子を含む回路装置に関する。

【0002】

【従来の技術】 インバータ又はコンバータのスイッチング素子に対して並列にコンデンサを接続し、スイッチオフ時にスイッチング素子に過大な電圧が印加されることを防ぐ方法は公知である。

【0003】

【発明が解決しようとする課題】 ところで、スイッチング素子のオフ期間にコンデンサに蓄積された電荷はスイッチング素子のオン時にスイッチング素子を介して放出されて電力損失を発生する。

【0004】 そこで、本発明の目的はスイッチング素子に実質的に並列に接続されたコンデンサの放電による電力損失を簡単な構成で低減することができる回路装置を提供することにある。

【0005】

【課題を解決するための手段】 上記目的を達成するための本発明は、直流電源から供給された直流電圧をオン・

オフするためのスイッチング素子を有する回路装置において、充電電流を流すことができる方向性を有するダイオード又はp-n接合を介して前記スイッチング素子に並列に接続されたゼロボルトスイッチング用のコンデンサと、前記スイッチング素子を通らないで前記電源を通るように前記コンデンサの放電経路を形成すると共に前記コンデンサの放電電流が前記放電経路に流れている時に前記スイッチング素子のオン動作を阻止する手段とを備えていることを特徴とする回路装置に係るものである。なお、請求項2~13に示すように構成することが望ましい。

【0006】

【発明の作用効果】本発明においては、ダイオード又はp-n接合を介してコンデンサを充電するように構成したので、コンデンサのスイッチング素子への放電はダイオード又はp-n接合で阻止される。これにより、スイッチング素子においてコンデンサの電荷が無駄に消費されない。コンデンサの放電経路には電源又は電源用コンデンサが含まれるので、コンデンサの電荷は電源に帰還され、効率が上昇する。また、コンデンサの放電電流が流れている時はスイッチング素子の駆動が阻止されるため、スイッチング素子の両端子間に低下した後にスイッチング素子がオンになり、ターンオン時のゼロボルトスイッチングが可能になる。

【0007】

【第1の実施例】次に、図1及び図2を参照して第1の実施例に係るハーフブリッジ型インバータを説明する。図1において直流電源1に対して並列に第1及び第2の電源用コンデンサ2、3の直列回路が接続されている。これにより、第1の電源用コンデンサ2の上端に接続されている第1の電源端子4に正の電圧が得られ、第2の電源用コンデンサ3の下端に接続されている第2の電源端子5に負の電圧が得られる。第1及び第2の電源用コンデンサ2、3の接続中点は第3の電源端子即ちグラード端子6に接続されている。第1及び第2の電源端子4、5の間に絶縁ゲート型電界効果トランジスタから成る第1及び第2のスイッチング素子Q1、Q2の直列回路が接続されている。なお、第1及び第2のスイッチング素子Q1、Q2は電界効果トランジスタであるため、ゲート・ソース間に逆並列に接続された内蔵ダイオードを有する。負荷回路7は第1及び第2のスイッチング素子Q1、Q2の接続中点8とグラード端子6との間に接続されている。負荷回路7は1次巻線7aと2次巻線7bとを有するトランスと2次巻線7bに接続された負荷7cとから成り、インダクタンスを有する。

【0008】第1及び第2のスイッチング素子Q1、Q2を交互にオン・オフ制御するための駆動信号供給回路を構成するために、共通の制御信号発生回路9とトランス10と抵抗11、12とが設けられている。トランス10は共通の制御信号発生回路9に接続された1次巻線

13と、この1次巻線13に電磁結合された第1及び第2のスイッチ駆動巻線14、15とから成る。巻線14、15は第1及び第2の駆動信号供給回路として機能する。第1の極性を有する第1のスイッチ駆動巻線14の一端は抵抗11を介して第1のスイッチング素子Q1の制御端子(ゲート)に接続され、他端は接続中点8即ち第1のスイッチング素子Q1のソースに接続されている。第1の極性と反対の第2の極性を有する第2のスイッチ駆動巻線15の一端は抵抗12を介して第2のスイッチング素子Q2の制御端子(ゲート)に接続され、他端は第2のスイッチング素子Q2の下側電極即ちソースに接続されている。共通の制御信号発生回路9は出力電圧指令に従うパルス幅を有する正パルスと負パルスとを交互に発生する。

【0009】ターンオフ時及びターンオン時のゼロボルトスイッチングを達成するため、及び第1及び第2のスイッチング素子Q1、Q2が同時にオンになることを防ぐために、第1及び第2のコンデンサC1、C2とコンデンサの充電回路形成用の第1及び第2のダイオードD1、D2と、放電回路形成及びオン阻止手段としての第1及び第2のトランジスタ16、17とが設けられている。第1及び第2のコンデンサC1、C2の一端は第1及び第2のスイッチング素子Q1、Q2の上端(ドレン)に接続され、それぞれの他端は第1及び第2のダイオードD1、D2を介して接続中点8に接続されている。放電電流の経路を形成すると共にオン阻止手段として機能する第1及び第2のトランジスタ16、17のコレクタは第1及び第2のスイッチング素子Q1、Q2の制御端子(ゲート)に接続され、それぞれのエミッタは第1及び第2のダイオードD1、D2のアノードに接続されている。また、第1のトランジスタ16のベースは接続中点8に接続され、第2のトランジスタ17のベースは第2のスイッチング素子Q2のソース及び第2の電源端子5に接続されている。

【0010】

【動作】図1の回路において、制御信号発生回路9から正常に制御信号が発生している時の各部の波形は図2のt1~t7区間に示すようになる。即ち、第1のスイッチ駆動巻線14の第1の駆動信号VS1は図2(A)に示すようにt1~t2区間、t5~t6区間で第1のスイッチング素子Q1のオンを示す高レベル(正パルス)となり、第2のスイッチ駆動巻線15の第2の駆動信号VS2は図2(B)に示すようにt3~t4区間で第2のスイッチング素子Q2のオンを示す高レベル(正パルス)となる。第1及び第2の駆動信号VS1、VS2のオン期間(正パルス)の相互間隔t2~t3、t4~t5、t6~t7がコンデンサC1、C2の充放電時間よりも長い場合には図2(A)、(B)の駆動信号VS1、VS2が第1及び第2のスイッチング素子Q1、Q2のゲートに有効に印加される。出力電圧の調整時には第1及び第2の駆

動信号VS1、VS2の正パルスの幅が変えられる。t1～t2で第1のスイッチング素子Q1がオンしている時には、第1の電源端子4と第1のスイッチング素子Q1と負荷回路7のトランジスタ1次巻線7aとグランド端子6とから成る回路で第1の方向の電流が負荷回路7に流れれる。t3～t4で第2のスイッチング素子Q2がオンしている時には、グランド端子6と負荷回路7の1次巻線7aと第2のスイッチング素子Q2と第2の電源端子5とから成る回路で負荷回路7に第2の方向の電流が流れれる。

【0011】第1のスイッチング素子Q1のオン期間には、第1のコンデンサC1の電圧はほぼ零であり、第2のコンデンサC2は第2の電源用コンデンサ3の電圧と負荷回路7の1次巻線7aの電圧との和の電圧即ち電源1の電圧に充電されている。t2時点で第1のスイッチング素子Q1のゲート信号が低レベルに立下り、ターンオフ制御されると、第1のコンデンサC1の第1のスイッチング素子Q1による短絡が解除され、第1のコンデンサC1は第1の電源用コンデンサ2の電圧と負荷回路7の1次巻線7aの逆起電力とによって第1のダイオードD1を介して充電される。換言すれば電源1の電圧から第2のスイッチング素子Q2の電圧を差し引いた電圧でコンデンサC1は充電される。この時、第1のコンデンサC1は1次巻線7aのインダクタンスとの共振によって又は時定数を有して充電されるために、図2(C)に示すように、第1のコンデンサC1の電圧及び第1のスイッチング素子Q1のドレイン・ソース間電圧は徐々に増大する。これにより、第1のスイッチング素子Q1にストレージによってt2以後に電流が流れていたとしても、電流と電圧の積が小さくなり、ターンオフ時の電力損失を低減することができる。また、ターンオフ時の高周波ノイズの発生を抑制することができる。第1のスイッチング素子Q1及び第1のコンデンサC1の電圧が図2(C)のようにt2からt3に向って徐々に高くなると、第2のスイッチング素子Q2及び第2のコンデンサC2の電圧は図2(D)に示すように徐々に低くなる。この時、第2のコンデンサC2の放電は第2のコンデンサC2と負荷回路7の1次巻線7aと第2の電源用コンデンサ3とトランジスタ17のベース・エミッタ間にから成る回路で行われる。1次巻線7aには第1のコンデンサC1の充電電流と第2のコンデンサC2の放電電流とが図1の左から右に向って流れれる。この電流によって1次巻線7aに生じる電圧は第1の電源用コンデンサ2の電圧と同じ向きを有し、第2の電源用コンデンサ3の電圧と反対の向きを有する。そして、この1次巻線7aの電圧は回路定数で決まる所定時間後に第1及び第2の電源用コンデンサ2、3の電圧と同一になる。換言すれば第2のコンデンサC2が放電が完了してこの電圧が零になり、第1のコンデンサC1が電源1の電圧即ち第1の電源用コンデンサ2の電圧の2倍になった時に負

荷回路7の1次巻線7aに第2の電源用コンデンサ3の電圧のほぼ全部が印加される。図2のt4～t5期間にはt2～t3期間と逆に第1のスイッチング素子Q1がターンオン動作し、第2のスイッチング素子Q2がターンオフ動作する。この時、第1のコンデンサC1の放電は第1のコンデンサC1と第1の電源用コンデンサ2と1次巻線7aとトランジスタ16のベース・エミッタ間にから成る回路で行われる。また、第2のコンデンサC2の充電は第2の電源用コンデンサ3と1次巻線7aと第2のコンデンサC2と第2のダイオードD2とから成る回路で行われる。

【0012】この実施例では、第1及び第2のスイッチング素子Q1、Q2のゼロボルトスイッチングを達成するために、第1及び第2のスイッチング素子Q1、Q2の電圧が実質的に零ボルトになった後にこれ等をオン駆動している。これにより、ターンオフ時とターンオン時との両方でゼロボルトスイッチングが達成され、電力損失が少なくなる。

【0013】ところで、制御信号発生回路9の製作上のバラツキ等によって、第1及び第2のスイッチング素子Q1、Q2に並列のコンデンサC1、C2の電圧が実質的に零ボルトになる前にスイッチング素子Q1、Q2のオン駆動信号が発生することがある。また、スイッチング素子Q1、Q2のストレージタイムのバラツキでオン期間が延びることがある。もし、第1及び第2のスイッチング素子Q1、Q2に並列のコンデンサC1、C2の電圧が零ボルトになる前に第1及び第2のスイッチング素子Q1、Q2がオンになると、ここを介して第1及び第2のコンデンサC1、C2の放電電流が流れ、電力損失が生じる。また、第1及び第2のスイッチング素子Q1、Q2が同時にオンすれば電源1の短絡回路が形成される。しかし、図1の本発明に従う回路では、第1及び第2のコンデンサC1、C2の電圧が実質的に零ボルトになるまで、第1及び第2のスイッチング素子Q1、Q2のオンが阻止される。例えば図2(A)のt8時点でにおいて第1のスイッチング素子Q1の制御信号VS1の立ち上りと第2のスイッチング素子Q2の駆動信号VS2の立ち下りとが一致したとしても、第1のコンデンサC1の放電電流が流れている間は、第1のスイッチング素子Q1の駆動信号VS1がバイパスされ、第1のスイッチング素子Q1のオンが阻止される。即ち、第1のコンデンサC1の放電電流が第1のコンデンサC1と第1の電源用コンデンサ2と1次巻線7aとトランジスタ16のベース・エミッタ間に流れている期間においては、第1のスイッチング素子Q1のゲートとソースとの間がトランジスタ16とダイオードD1で短絡され、第1のスイッチング素子Q1はt8時点でオフにならない。t9時点で第1のコンデンサC1の放電が終了すると、トランジスタ16がオフになるため、第1のスイッチング素子Q1のゲートに電圧が印加され、これがオンになる。この結

果、第1及び第2のスイッチング素子Q1、Q2が同時にオンになることが阻止されると共に、ゼロボルトスイッチングを確実に達成することができる。なお、第2のスイッチング素子Q2のターンオン時にも第1のスイッチング素子Q1のターンオン時と同様な動作が生じる。コンデンサC1、C2の電荷は電源2、3に帰還されるので、効率が上昇する。

【0014】

【第2の実施例】次に、図3を参照して第2の実施例のハーフブリッジ型インバータ回路を説明する。但し、図3及び後述する図4及び図5において図1と共通する部分には同一の符号を付してその説明を省略する。図3の回路は図1の回路のトランジスタ16、17の代りに第3及び第4のダイオードD3、D4を接続し、且つ第5及び第6のダイオードD5、D6を付加し、且つ第1及び第2のスイッチング素子Q1、Q2をバイポーラトランジスタとしたものである。第5及び第6のダイオードD5、D6は、第1及び第2のダイオードD1、D2と第3及び第4のダイオードD3、D4との直列回路に対して逆並列接続されている。また、図1の電界効果トランジスタのドレイン、ソース及びゲートがバイポーラトランジスタのコレクタ、エミッタ及びベースに置き換えられている。

【0015】図3の回路の基本的動作は図1と同一である。図1と異なる点はコンデンサC1、C2の放電電流の経路である。図3では第1のコンデンサC1の放電が、第1のコンデンサC1と第1の電源用コンデンサ2と負荷7の1次巻線7aと第5のダイオードD5と第3のダイオードD3とから成る回路で行われる。第1のコンデンサC1の放電期間には、第5のダイオードD5で第1のスイッチング素子Q1のベース・エミッタ間が短絡され、図2のt8に示すように第1のスイッチング素子Q1に対するオン駆動信号が発生してもオンが阻止される。第1のコンデンサC1が実質的に零ボルトまで放電すると、第5のダイオードD5がオフになり、第1のスイッチング素子Q1のオンが可能になる。第2のコンデンサC2の放電回路も同様に第6及び第4のダイオードD6、D4を介して形成される。この他は第1の実施例と同一であるので、第2の実施例によても第1の実施例と同一の作用効果を得ることができる。

【0016】

【第3の実施例】図4に示す第3の実施例は図3の第2の実施例の一部を変えたものである。この実施例では第5及び第6のダイオードD5、D6が第1及び第2のダイオードD1、D2に逆並列接続されている。また、電流帰還用巻線18、19がトランジスタ10に設けられ、これが第1及び第2のスイッチング素子Q1、Q2に直列に接続されている。

【0017】図4の回路では第1のコンデンサC1の放電が第1のコンデンサC1と第1の電源用コンデンサ2

と1次巻線7aと帰還巻線18と第5のダイオードD5とから成る回路で行われる。放電電流が流れで第5のダイオードD5がオフの時に、第1のスイッチング素子Q1のオフ制御信号が発生した場合には、第1の駆動用巻線14のオフ制御信号によって第1のスイッチング素子Q1のベース・エミッタ間を順バイアスする電圧が第5のダイオードD5の電圧で打ち消され、第1のスイッチング素子Q1はオフに転換できない。しかし、第1のコンデンサC1の放電が終了して第5のダイオードD5がオフになると、第3及び第1のダイオードD3、D1の回路にオフ駆動信号に基づく電流が流れ、2つのダイオードD3、D1の電圧降下の和によって第1のスイッチング素子Q1のベース・エミッタが順バイアスされ、第1のスイッチング素子Q1がオフになる。コンデンサC2の放電も第6のダイオードD6を介して同様に行われ、この完了後に第2のトランジスタQ2がオフになる。

【0018】

【第4の実施例】図5に示す第4の実施例では、第1及び第2のコンデンサC1、C2の放電電流の通路に図4と同様に第5及び第6のダイオードD5、D6を接続し、この電圧に基づいてオフ制御信号を制御している。即ち、第5のダイオードD5が第1のコンデンサC1の放電でオフしている時に第1のスイッチング素子Q1のオフを阻止するために、第1のスイッチング素子Q1のゲートとソースの間にダイオード22を介してトランジスタ20が接続され、このトランジスタ20のベースとエミッタとの間にトランジスタ21が接続され、バイアス電源25とトランジスタ20及び21のベースとエミッタとの間に抵抗23、24が接続され、トランジスタ21のベースとエミッタとの間にダイオードD5が接続されている。同様に、第2のスイッチング素子Q2のゲートとソースとの間にダイオード28を介してトランジスタ26が接続され、このトランジスタ26のベースとエミッタとの間にトランジスタ27が接続され、バイアス電源31とトランジスタ26、27のベースとの間に抵抗29、30が接続され、トランジスタ27のベースとエミッタとの間にダイオードD6が接続されている。

【0019】第1のコンデンサC1の放電でダイオードD5がオフしている時にはトランジスタ21がオフに制御され、逆にトランジスタ20がオフになり、第1のスイッチング素子Q1のオフ制御信号はダイオード22とトランジスタ20にバイパスし、第1のスイッチング素子Q1のオフを阻止される。第1のコンデンサC1の放電が終了し、ダイオードD5がオフになると、トランジスタ21がオフになり、逆にトランジスタ20がオフになり、オフ制御信号の阻止が解除される。同様に第2のコンデンサC2の放電による第2のスイッチング素子Q2のオフ阻止動作が生じる。上述から明らかのように図5の回路によても図1の回路と同一の作用効果を得る

ことができる。

【0020】

【第5の実施例】次に、図6に示す第5の実施例のハーフブリッジ型インバータを説明する。但し、図6において図1と共に部分には同一の符号を付してその説明を省略する。図6の回路は図1の回路の2つのコンデンサC1、C2の代りに1つのコンデンサCを設けたものである。図6でコンデンサCは第1のダイオードD1のアノードと第2のダイオードD2のアノードとの間に接続されている。図6においてこのコンデンサC以外は図1と同一に形成されている。

【0021】

【動作】図6においてコンデンサCの充放電以外の動作は図1と同一であるので、その説明を省略する。まず、スイッチング素子Q2のオン期間はコンデンサCが第1のダイオードD1と第2のスイッチング素子Q2とトランジスタ17のベース・エミッタ間とで短絡されているためにコンデンサCの電圧は零である。スイッチング素子Q2がオフ制御されると、この両端子間電圧V_{DS}が上昇し、接続中点8の電位が第2のスイッチング素子Q2のソース電位よりも高くなる。これにより、第2の電源用コンデンサ3と負荷1次巻線7aとトランジスタ16のベース・エミッタ間とコンデンサCと第2のダイオードD2とから成る回路でコンデンサCの充電電流が流れれる。この結果、図1の回路と同様にトランジスタ16のオンで第1のスイッチング素子Q1のオンが阻止される。コンデンサCが電源1の電圧と同一の値まで充電されると、コンデンサCの充電電流が流れなくなり、第1のスイッチング素子Q1のドレイン電位とソース電位とがほぼ等しくなり、このドレイン・ソース間電圧V_{DS1}がほぼ零になる。コンデンサCの充電の終了に同期してトランジスタ16がオフになるので、第1の駆動巻線14による駆動が可能になり、第1のスイッチング素子Q1がオンになる。これにより、図1と同様にゼロボルトスイッチングが達成される。第1のスイッチング素子Q1がオフ制御された時にはここで電圧降下が生じ、接続中点8の電位が下る。このため、コンデンサCと第1のダイオードD1と負荷1次巻線7aと第2の電源用コンデンサ3とトランジスタ17のベース・エミッタ間とから成る回路でコンデンサCの放電回路が形成され、この放電電流が流れている期間は図1と同様にトランジスタ17がオンになり、第2のスイッチング素子Q2のオン駆動が阻止される。コンデンサCの放電が終了してこの電圧が零になると、トランジスタ17がオフになり、巻線15の制御信号V_{S2}が第2のスイッチング素子Q2に有効に作用し、第2のスイッチング素子Q2がオンになり、ゼロボルトスイッチングが達成される。従って、図6の回路によっても図1の回路と同一の作用効果が得ることができ、更にコンデンサの数を1個減らすことができる。

【0022】

【第6の実施例】図7は本発明に従うRCC型DC-D Cコンバータ即ちスイッチングレギュレータを示す。この図7において、直流電源40に接続された第1及び第2の電源端子41、42との間にトランジスタ43と図1と同様の電界効果トランジスタから成るスイッチング素子45との直列回路が接続されている。トランジスタ43の2次巻線46にはダイオード47とコンデンサ48とから成る出力整流平滑回路50が接続されている。なお、2次巻線46の極性はスイッチング素子45のオフ期間にダイオード49をオンにする向きに決定されている。スイッチング素子45を帰還によって自励でオン・オフ制御するためにトランジスタ43に駆動巻線51が設けられている。この駆動巻線51は1次及び2次巻線44、46に電磁結合されている。駆動巻線51の一端はコンデンサ52と抵抗53とを介してスイッチング素子45の制御端子(ゲート)に接続され、他端はスイッチング素子45のソースに接続されている。起動抵抗54は一方の電源端子41とスイッチング素子45のゲートとの間に接続されている。

【0023】本発明に従う動作を可能にするために、ゼロボルトスイッチング用コンデンサ55が充電用ダイオード56を介してスイッチング素子45に並列に接続されている。即ちコンデンサ55の一端はスイッチング素子45の上端(ドレイン)に接続され、この他端はダイオード56を介してスイッチング素子45の下端(ソース)に接続されている。また、スイッチング素子45の制御端子(ゲート)とソースとの間にはオン阻止手段を構成するためのPNP型のトランジスタ57が接続され、このトランジスタ57のベースとダイオード56のアノードとの間に放電回路形成及びオン阻止手段として機能するNPN型のトランジスタ58が接続されている。トランジスタ58のコレクタは抵抗59を介してスイッチング素子45のゲートに接続され、エミッタはダイオード56に接続され、ベースは下側の電源端子(グランド端子)42に接続されている。なお、トランジスタ57のベースに例えば特公平3-57712号等で周知な電圧制御回路60が接続されている。

【0024】図7のスイッチングレギュレータの基本的動作は従来のRCC型スイッチングレギュレータと同一であり、スイッチング素子45のオン期間にトランジスタ43にエネルギーが蓄積され、スイッチング素子45がオフの期間にダイオード49が導通してトランジスタ43のエネルギーがコンデンサ48及び負荷に放出される。電圧制御回路60は電圧制御信号に応答してトランジスタ57をオンにする時点を調整する。トランジスタ57がオンになると、スイッチング素子45の制御端子(ゲート)がグランド端子42に接続され、スイッチング素子45はオフになる。

【0025】スイッチング素子45のオフ時に電圧40

と1次巻線44の電圧との和によってコンデンサ55が電源40の電圧の約2倍に充電される。コンデンサ55の電圧即ちスイッチング素子45の電圧は図7に示すように徐々に増大するので、スイッチング素子45のゼロボルトスイッチングが達成される。なお、コンデンサ55の充電電流はダイオード56を通って流れる。トランジスタ43のエネルギーの放出が図8のt3時点で終了すると、ダイオード47がオフになり、2次巻線46がコンデンサ48から切り離される。これにより、電源40の電圧Eと1次巻線44の電圧との和(2E)によるコンデンサ55の充電電圧のクランプが解除され、コンデンサ55と1次巻線44のインダクタンスとの共振によってコンデンサ55の放電が開始し、t3～t4区間に示すようにコンデンサ55の電圧は徐々に低下する。コンデンサ55の放電電流はコンデンサ55と1次巻線44と電源40とトランジスタ58のベース・エミッタ間とから成る回路で流れる。この結果、コンデンサ55の放電電流が流れている期間においては、トランジスタ58及び57がオンになり、スイッチング素子45のゲートとソース間が短絡され、スイッチング素子45のオフが維持される。このため、仮りに図8のt4よりも前に制御回路60からスイッチング素子45のオフ解除を示す信号が発生してもオフ解除が達成されず、トランジスタ57のオンが継続する。図8のt3～t4区間はコンデンサ55が電荷を有している期間であるので、もしこの期間でスイッチング素子45がオンするとコンデンサ55がスイッチング素子45で短絡され、電力損失が生じると共にノイズが発生する。これに対してt3～t4期間でのスイッチング素子45のオンを阻止してその後にオンにすると、上述の電力損失及びノイズが発生しない。なお、コンデンサ55の電圧が図7のt3～t4区間で点線で示すようにt4で零にならない場合であっても、スイッチング素子45のオン時点をコンデンサ55の働きで遅らせることによってそれなりの電力損失の低減が達成される。

【0026】

【第7の実施例】次に、図9を参照して第7の実施例のRCC型DC-DCコンバータを説明する。但し、図9において図7と共通する部分には同一符号を付してその説明を省略する。図9の回路ではスイッチング素子45としてバイポーラトランジスタが使用され、図7のトランジスタ58の代りにダイオード61が接続されている。図9において、ダイオード61はスイッチング素子(トランジスタ)45のベースとダイオード56のアノードとの間に接続されている。また、駆動巻線51とスイッチング素子45のベースとの間にはダイオード62とコンデンサ63との並列回路が接続されている。

【0027】この実施例でもスイッチング素子45のオン期間にトランジスタ43にエネルギーが蓄積され、オフ期間にダイオード47を介して放出される。出力電圧の調

整はトランジスタ57によるベース電流のバイパス量の制御で達成している。スイッチング素子45のオン開始は駆動巻線51の正方向電圧(上向き電圧)によって達成される。スイッチング素子45のオフ開始はスイッチング素子45の非飽和領域への移行又はトランジスタ43の飽和によって達成される。

【0028】スイッチング素子45がオフに転換すると、コンデンサ55が電源40と1次巻線44とコンデンサ55とダイオード56とから成る回路で充電される。この時、コンデンサ55は電源40の電圧Eの2倍に充電される。コンデンサ55はインダクタンス44との共振によって充電されるので、徐々にこの電圧が高くなり、スイッチング素子45のゼロボルトスイッチング及びノイズ抑制が達成される。スイッチング素子45のオフが継続してトランジスタ43のエネルギーの放出が終了してダイオード47がオフになると、コンデンサ55のクランプが解除され、コンデンサ55と1次巻線44のインダクタンスとの共振動作によってコンデンサ55と1次巻線44と電源40と駆動巻線51とダイオード62と抵抗53とダイオード61とから成る放電回路で放電電流が流れ、コンデンサ55の電圧が零ボルトまで低下する。コンデンサ55の放電電流が流れている間はスイッチング素子45のベースがグランドに近いレベルに保たれるために、スイッチング素子45はオフに保たれる。コンデンサ55の放電が終了すると、駆動巻線51の正方向電圧又は起動抵抗54の電流に基づいてスイッチング素子45はオンに転換する。スイッチング素子45がオンした時点でコンデンサ55の電圧は零であるので、コンデンサ55の電荷がスイッチング素子45を通して放出される動作は生じない。これにより電力損失の低減及びノイズの抑制が達成される。なお、図9で点線で示すように図3の回路と同様にダイオード64を設けることができる。また、ダイオード64をダイオード56に逆並列接続することができる。

【0029】

【第8の実施例】図10は第8の実施例のDC-DCコンバータを示す。この図10の回路は図7の回路を他励式に変形し、スイッチング素子45の制御端子にPWMパルス発生回路60aを接続したものである。その他は図7と同一に構成されており、図10において図7と共通する部分には同一の符号が付されている。PWMパルス発生回路60aは所定周期でスイッチング素子45をオン・オフするパルス列を発生する。その他の動作は図7と同一であり、同一の効果が得られる。なお、図10のスイッチング素子45をバイポーラトランジスタにすることができる。

【0030】

【第9の実施例】図11は第9の実施例のインバータを示す。この図11の回路は図1の回路をセンタタップ式のプッシュプル回路に変形したものであって、センタ

ップ型の出力トランジスタ70が設けられ。この1次巻線71のセンタタップと接続中点8との間に直流電源1が接続され、1次巻線71の一端が第1のスイッチング素子Q1に接続され、他端が第2のスイッチング素子Q2に接続され、2次巻線72に負荷73が接続されている。図11において図1と共通する部分には同一の符号が付されている。第1のコンデンサC1の充電電流は、直流電源1と1次巻線71の上半分とコンデンサC1とダイオードD1の回路で流れる。コンデンサC1の放電電流は、コンデンサC1と1次巻線71のインダクタンスとの共振によってコンデンサC1と1次巻線71の上半分と電源1とトランジスタ16のベース・エミッタ間とから成る回路で流れる。第2のコンデンサC2の充電及び放電も同様に達成される。コンデンサC1、C2は電源1の電圧の2倍に充電される。図11のスイッチング素子Q1、Q2のゼロボルトスイッチングの動作は図1の回路と実質的に同一であり、図1と同一の作用効果が得られる。

【0031】

【第10の実施例】図12は第10の実施例のインバータを示す。このインバータ回路は、図3及び図11の回路の一部を変形したものであるので、これ等と共通する部分に同一の符号が付されている。即ち、図3のコンデンサC1、C2の充放電回路を図11のプッシュプル型インバータに適用したものである。従って、図12の回路は図3と同様の効果を有する。なお、ダイオードD5、D6をダイオードD1、D2に逆並列接続することができる。また、図5の回路のコンデンサC1、C2の充電及び放電回路を図12のこれと置き換えることができる。

【0032】

【第11の実施例】図13は第11の実施例を示す。この図13は図1の回路を図6の場合と同様に1つのコンデンサCを使用する方式に変形したものである。従って、図13において図1と共通する部分には同一の符号を付してその説明を省略する。図13においては共通の駆動信号入力端子13aが抵抗11、12を介して第1及び第2のスイッチング素子Q1、Q2の制御端子（ゲート）に接続されている。第1及び第2のスイッチング素子Q1、Q2はNチャネル型とPチャネル型とに形成され、互いに逆の極性を有する。そして、第2のスイッチング素子Q2のドレインがグランドに接続されている。ゼロボルトスイッチングを行うために、第1及び第2のスイッチング素子Q1、Q2の制御端子（ゲート）の相互間にNPN型トランジスタ16とPNP型トランジスタ17との直列回路が接続され、これ等のベースは接続中点8にそれぞれ接続されている。コンデンサCは第1のスイッチング素子Q1の上端（ドレイン）と第1及び第2のトランジスタ16及び17の接続点との間に接続されている。共通の駆動信号供給端子13aは第1

のスイッチング素子Q1をオンにするための正方向パルスV_{S1}と第2のスイッチング素子Q2をオンにするための負方向パルスV_{S2}とを交互に発生する。

【0033】第1及び第2のスイッチング素子Q1、Q2の交互のオン・オフによってDC-AC変換する動作は図1の回路と同一である。また、1つのコンデンサCによってゼロボルトスイッチングを達成する動作は図6とほぼ同一である。第2のスイッチング素子Q2のオン期間には接続中点8がグランドになるので、コンデンサCは電源1の電圧に充電される。第2のスイッチング素子Q2がオフ制御されると、この両端子間電圧V_{DS}が上昇し、接続中点8の電位が高くなる。これにより、コンデンサCと第1の電源用コンデンサ2と負荷1次巻線7aと第1のトランジスタ16のベース・エミッタ間とから成る回路でコンデンサCの放電電流が流れる。この結果、図1の回路と同様にトランジスタ16のオンで第1のスイッチング素子Q1のオンが阻止される。コンデンサCの放電が終了すると、第1のスイッチング素子Q1のドレイン電位とソース電位とがほぼ等しくなり、このドレイン・ソース間電圧V_{DS1}がほぼ零になる。コンデンサCの放電の終了に同期してトランジスタ16がオフになるので、駆動端子13aの駆動信号による駆動が可能になり、第1のスイッチング素子Q1がオンになる。これにより、図1と同様にゼロボルトスイッチングが達成される。第1のスイッチング素子Q1がオフ制御された時にはここで電圧降下が生じ、接続中点8の電位が下る。このため、電源1とコンデンサCと第2のトランジスタ17のエミッタ・ベース間と負荷1次巻線7aと第2の電源用コンデンサ3とから成る回路でコンデンサCの充電回路が形成され、この充電電流が流れている期間は図1と同様にトランジスタ17がオンになり、第2のスイッチング素子Q2のオン駆動が阻止される。コンデンサCの充電が終了してこの電圧が電源1の電圧になると、トランジスタ17がオフになり、駆動信号が第2のスイッチング素子Q2に有効に作用し、第2のスイッチング素子Q2がオンになり、ゼロボルトスイッチングが達成される。従って、図13の回路によっても図1の回路と同一の作用効果を得ることができ、更にコンデンサの数を1個減らすことができる。

【0034】

【第12の実施例】次に、図14に示す第12の実施例の変形ハーフブリッジ型即ちSEPP型インバータを説明する。但し、図14において図1と共通する部分には同一の符号を付してその説明を省略する。図14では第2のスイッチング素子Q2にコンデンサ3aを介して負荷回路7が並列に接続されている。その他は図1と同様に構成されている。第1及び第2のスイッチング素子Q1、Q2の交互のオン・オフに対応したコンデンサ3aの充放電によって負荷回路7に交流が供給される。コンデンサC1、C2の放電終了前のスイッチング素子Q1

、Q2のオンの阻止は図1と同様に達成される。従つて、図1の回路と同様の作用効果を得ることができる。なお、図14ではオン阻止手段としてトランジスタ16、17とダイオードD1、D2とが設けられているが、この代りに、図3又は図4のダイオードD1～D6の回路とすること、又は図5のオン阻止回路にすることができる。また、図14の変形ハーフブリッジ型インバータ回路においても、図6の1つのコンデンサCの方式、図11のオン阻止方式、図12のオン阻止方式、図13、図15、図16、図17の方式を採用することができる。

【0035】

【第13の実施例】次に、図18に示す第13の実施例のフルブリッジ型インバータを説明する。但し、図18において図1と共通する部分には同一の符号を付してその説明を省略する。図18においては、図1のコンデンサ2、3の代りに第3及び第4のスイッチング素子Q3、Q4が接続されている。第3及び第4のスイッチング素子Q3、Q4に関連してコンデンサC3、C4、トランジスタ80、81、ダイオード82、83、駆動巻線84、85、抵抗86、87が第1及び第2のスイッチング素子Q1、Q2の場合と同様に設けられている。駆動巻線84、85はトランジスタ10に一体に形成されている。図18の回路では周知のように、第1及び第4のスイッチング素子Q2、Q4が同時にオンになり、第2及び第3のスイッチング素子Q2、Q3が同時にオンになる。各スイッチング素子Q1～Q4のオン・オフ動作は図1のスイッチング素子Q1、Q2と同一であるので、図18の回路は図1の回路と同一の作用効果を有する。なお、図18のフルブリッジ型インバータ回路においても、図3、図4、図5、図6、図13、図15、図16、図17の回路方式を適用することができる。

【0036】

【変形例】本発明は上述の実施例に限定されるものでなく、例えば次の変形が可能なものである。

(1) 図1の回路を図17に示すように接続中点8を中心に上下対称になるように変形することができる。但し、図17では第1及び第2のスイッチング素子Q1、Q2及び第1及び第2のトランジスタ16、17は互いに逆の導電型に形成されている。図3、図4及び図5の回路も図17と同様に変形することができる。

(2) 第1及び第2のコンデンサC1、C2のいずれか一方を省いた回路にすることができる。この場合であっても第1及び第2のスイッチング素子Q1、Q2のいずれか一方のゼロボルトスイッチングは達成される。

(3) 図7及び図9の回路をスイッチング素子45がオンの時にダイオード47がオンになるフォワード型のコンバータにも適用可能である。また、図7、図9の回路から整流平滑回路49を省いてインバータとすること

もできる。

(4) 図3及び図4の回路を図15及び図16に示すように変形することができる。即ち、図3及び図4の回路から第1のコンデンサC1を省いて図6と同様に1つのコンデンサCを第1及び第2のダイオードD1、D2のアノード間に接続することができる。

(5) 図2では駆動巻線14、15の駆動信号V_{S1}、V_{S2}の相互間に休止期間(t₂～t₃)を設けたが、この休止期間を設けない構成とすることができる。この休止期間を設けなくともコンデンサC1、C2の電流が流れれる期間は自動的に休止期間となる。

【図面の簡単な説明】

【図1】第1の実施例のインバータを示す回路図である。

【図2】図1の各部の波形図である。

【図3】第2の実施例のインバータを示す回路図である。

【図4】第3の実施例のインバータを示す回路図である。

【図5】第4の実施例のインバータを示す回路図である。

【図6】第5の実施例のインバータを示す回路図である。

【図7】第6の実施例のDC-DCコンバータを示す回路図である。

【図8】図7のスイッチング素子の電圧を示す波形図である。

【図9】第7の実施例のDC-DCコンバータを示す回路図である。

【図10】図8の実施例のDC-DCコンバータを示す回路図である。

【図11】第9の実施例のインバータを示す回路図である。

【図12】第10の実施例のインバータを示す回路図である。

【図13】第11の実施例のインバータを示す回路図である。

【図14】第12の実施例のインバータを示す回路図である。

【図15】変形例のインバータを示す回路図である。

【図16】別の変形例を示す回路図である。

【図17】更に別の変形例のインバータを示す回路図である。

【図18】第13の実施例のインバータを示す回路図である。

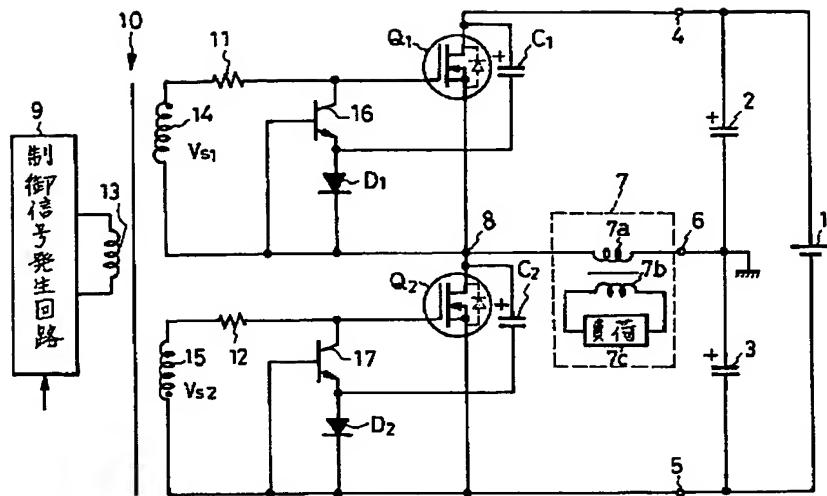
【符号の説明】

Q1、Q2 スイッチング素子

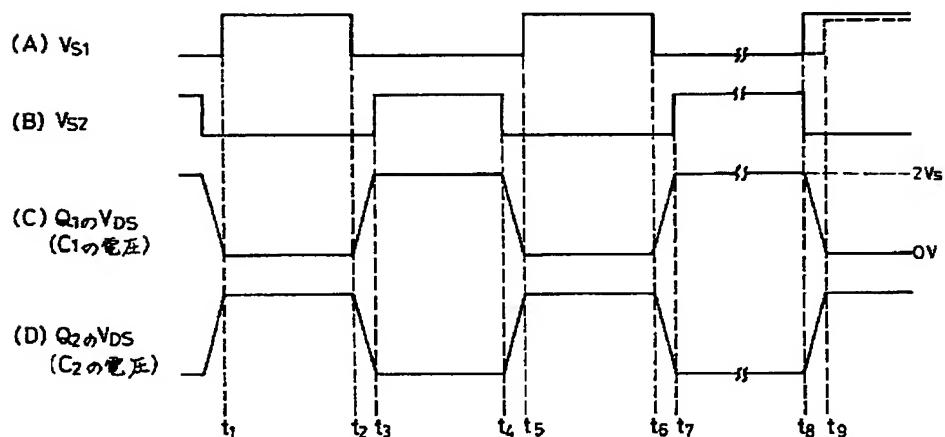
C1、C2 コンデンサ

D1、D2 ダイオード

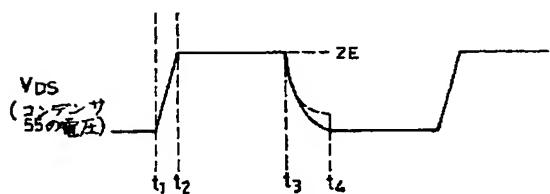
【図1】



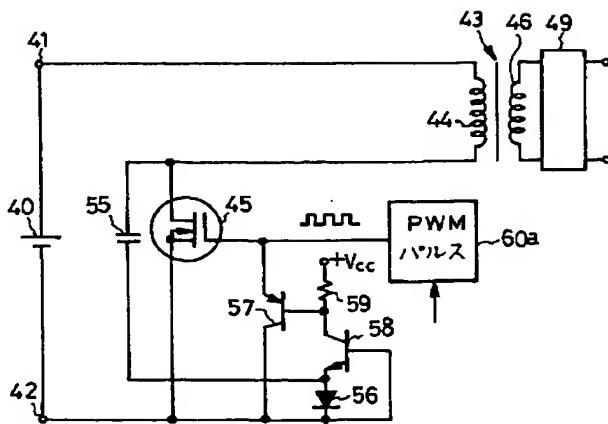
【図2】



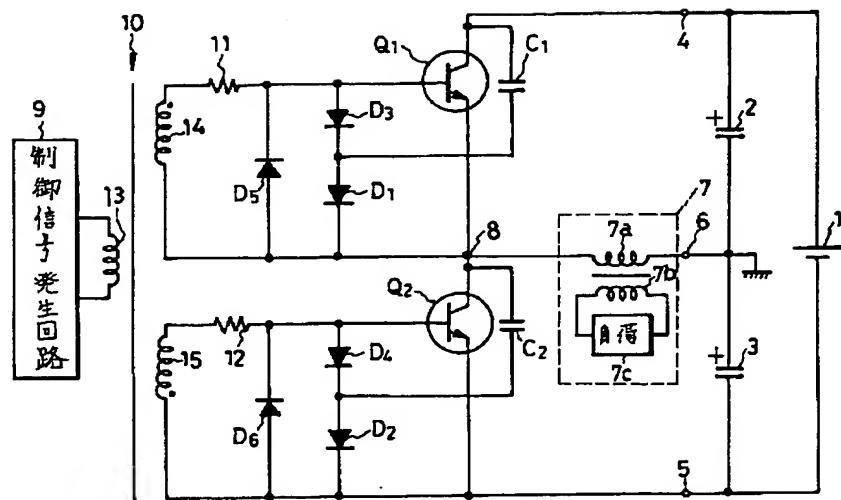
【図8】



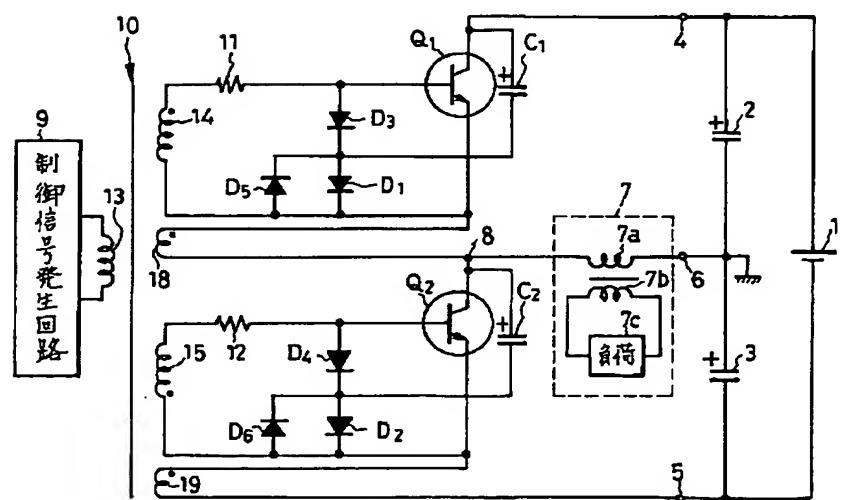
【図10】



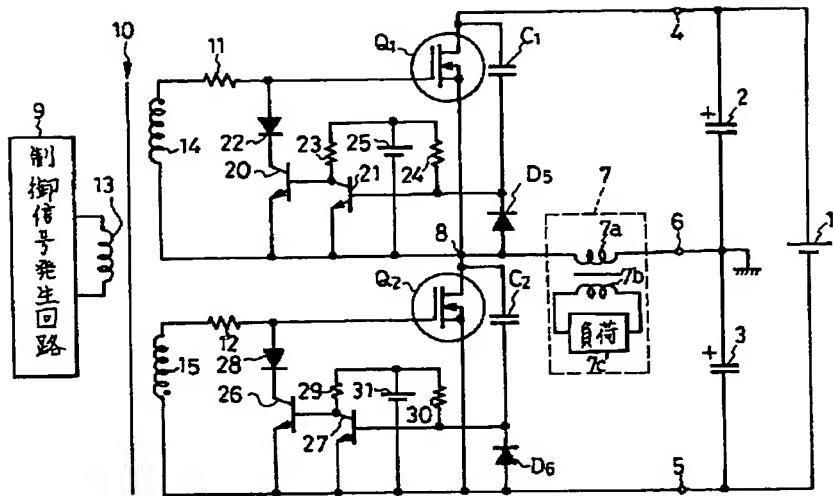
【図3】



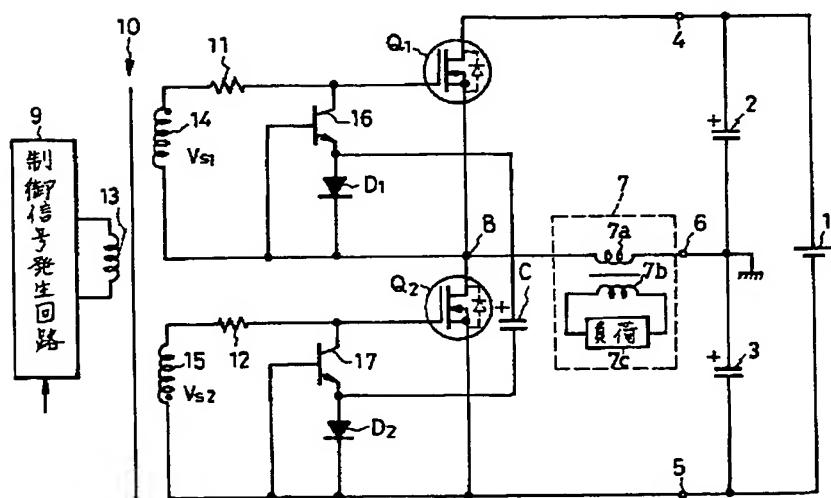
【図4】



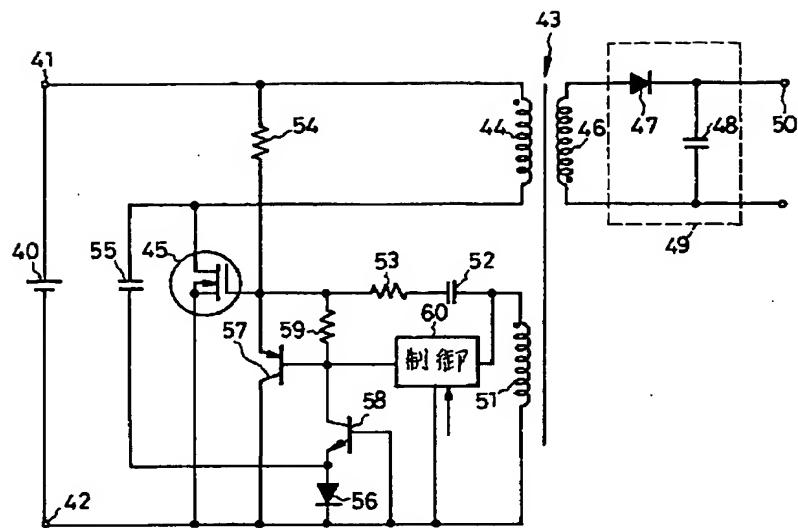
【図5】



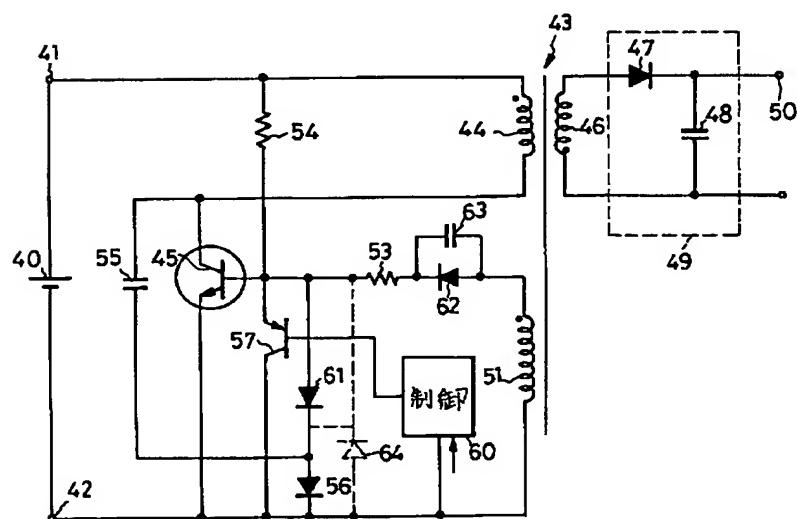
【図6】



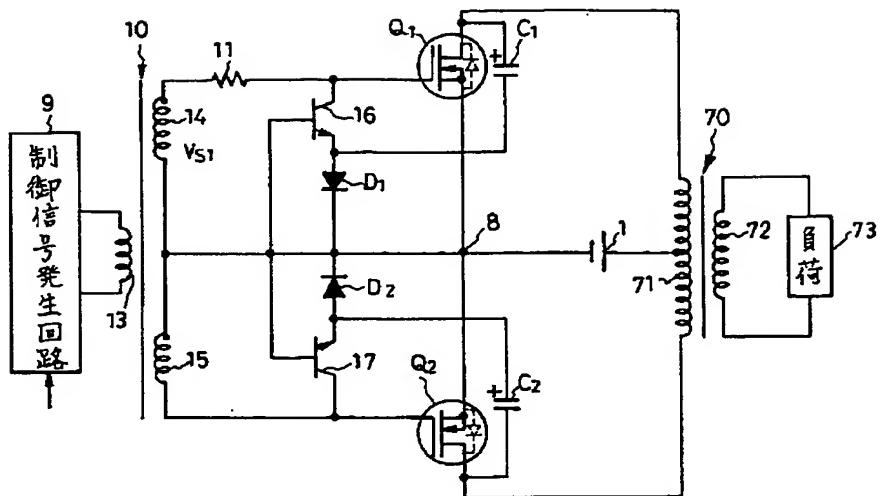
【図7】



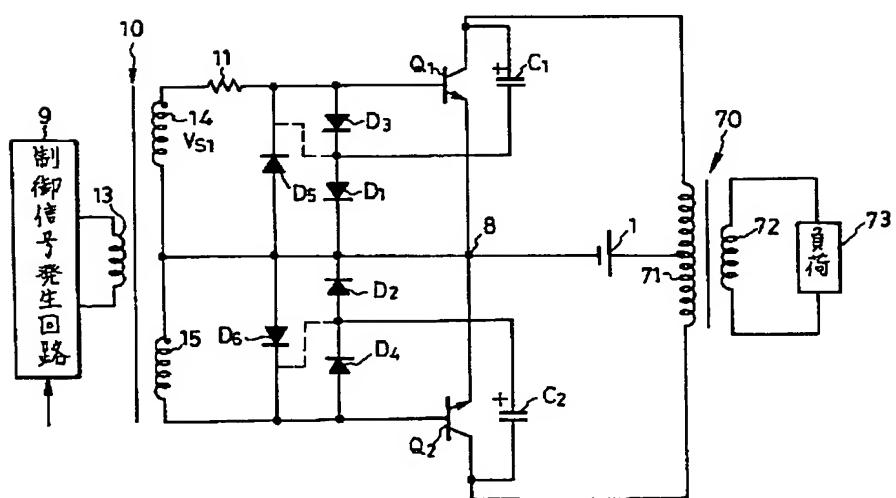
【図9】



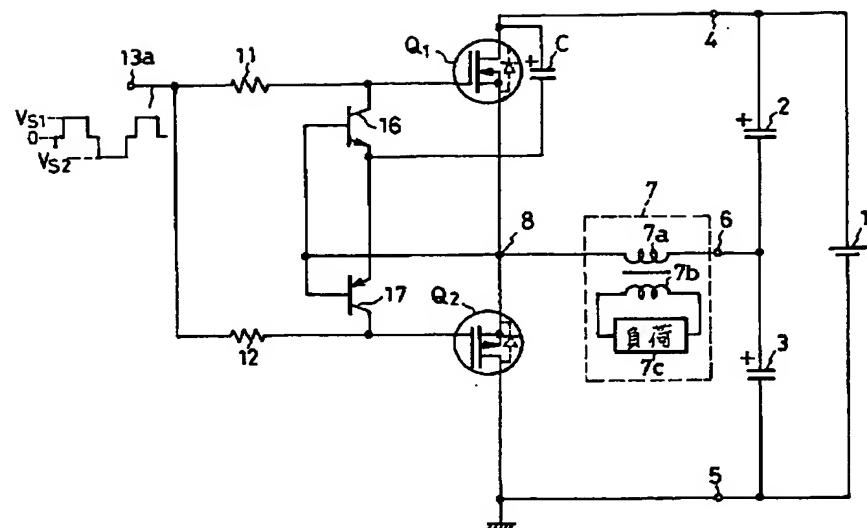
【図11】



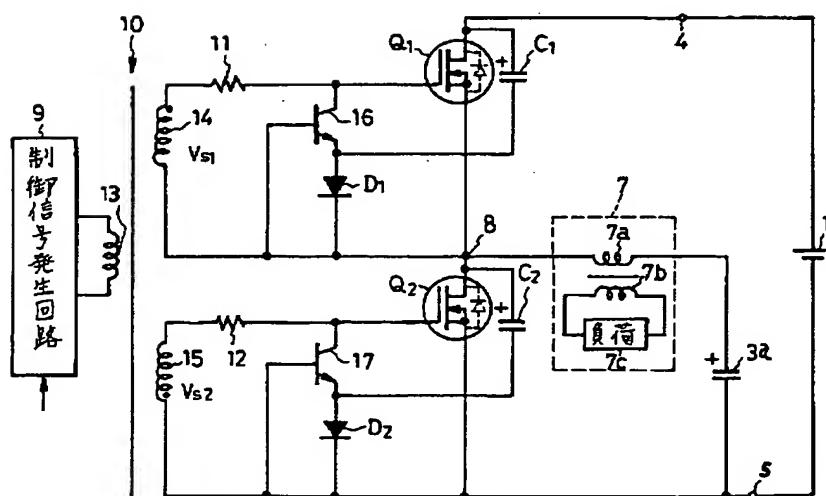
【図12】



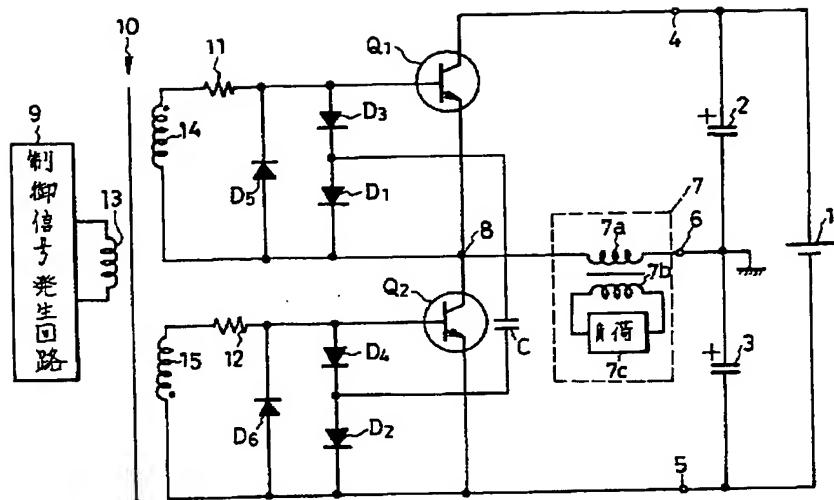
【図13】



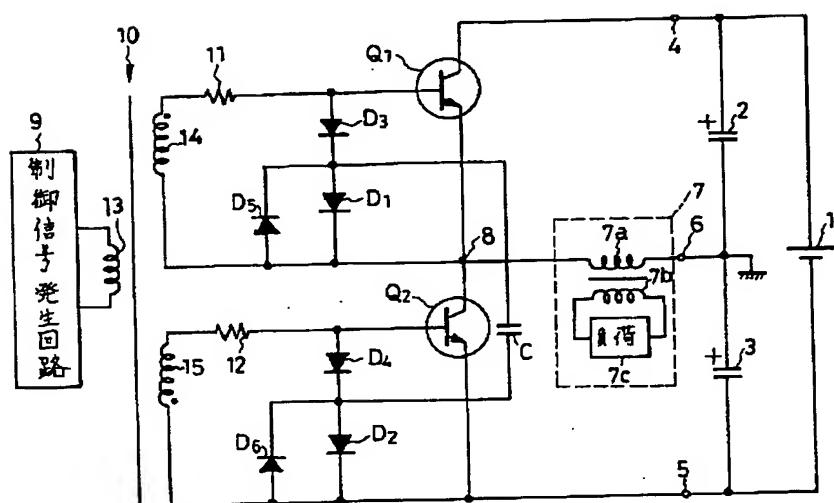
【图14】



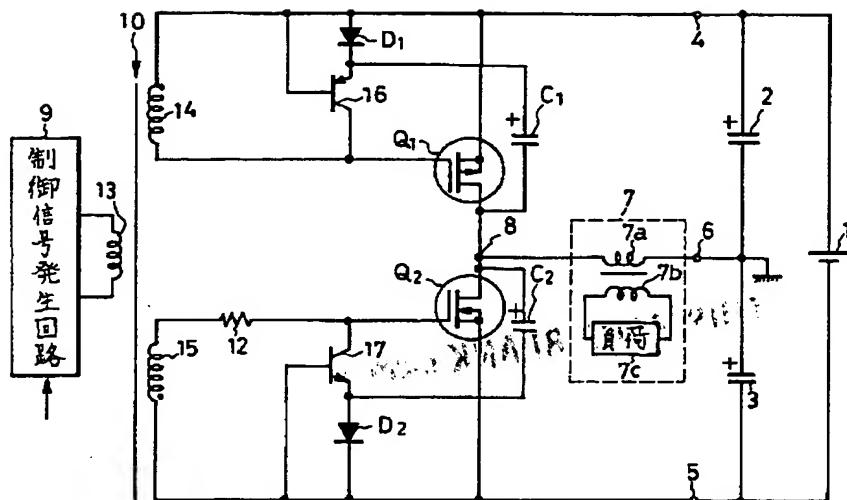
【図15】



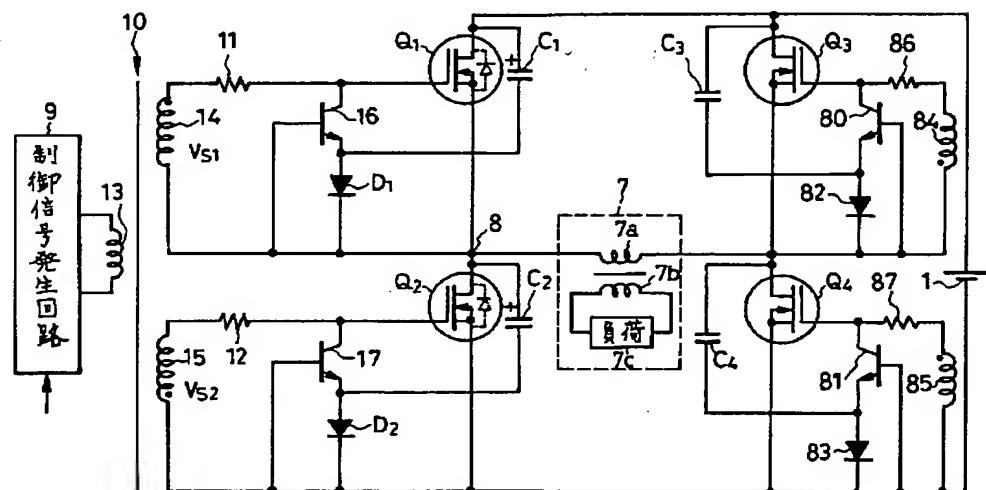
【図16】



【図17】



【図18】



フロントページの続き

(51) Int.C1.6

H 0 2 M 7/538

識別記号

序内整理番号

9181-5H

F I

技術表示箇所

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)